

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294650

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 21/82
G06F 17/50
H01L 29/00

(21)Application number : 11-098013

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 05.04.1999

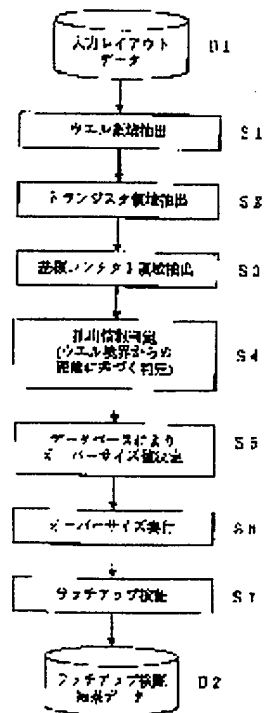
(72)Inventor : KIMURA SHINICHI
TSUJIKAWA HIROYUKI

(54) METHOD AND DEVICE FOR VERIFYING LATCH UP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide high-accuracy latch-up verification to the layout data of a semiconductor integrated circuit.

SOLUTION: In a method for verifying latch-up, such processes that well areas, transistor areas, and substrate contact areas are extracted from the layout data of a semiconductor integrated circuit and oversize values are individually set from the extracted information are sequentially executed. Then, after oversizes are sequentially executed (oversize areas demarcation) by using the set oversize values, verified results are outputted by regarding the transistor area existing outside an oversized substrate contact area as an error area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294650

(P2000-294650A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/82		H 0 1 L 21/82	T 5 B 0 4 6
G 0 6 F 17/50		29/00	5 F 0 6 4
H 0 1 L 29/00		G 0 6 F 15/60	6 6 6 S
			6 6 6 C
			6 6 6 L
審査請求 未請求 請求項の数25 O L (全 15 頁)			

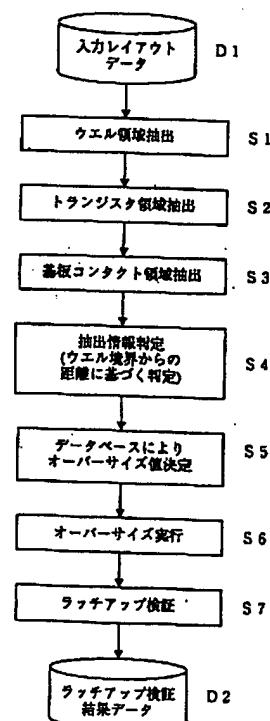
(21) 出願番号	特願平11-98013	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年4月5日 (1999. 4. 5)	(72) 発明者	木村 慎一 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	辻川 洋行 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	100073874 弁理士 萩野 平 (外4名)
		Fターム(参考)	5B046 AA08 BA04 DA02 JA02 KA06 5F064 BB35 CC12 EE35 EE36 HH06 HH09 HH10 HH13 HH14

(54) 【発明の名称】 ラッチアップ検証方法及び検証装置

(57) 【要約】

【課題】 半導体集積回路のレイアウトデータに対し、高精度のラッチアップ検証を提供する。

【解決手段】 半導体集積回路のレイアウトデータから、ウェル領域とトランジスタ領域と基板コンタクト領域を抽出して、その抽出情報より、個々にオーバーサイズ値を設定していく処理を順次実行し、その設定したオーバーサイズ値にて、オーバーサイズを順次実行した（オーバーサイズ領域の画定）後、オーバーサイズした基板コンタクト領域の領域外に存在するトランジスタ領域をエラー領域として検証結果を出力する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成される半導体集積回路のレイアウトデータから、ウェル領域とトランジスタ領域と基板コンタクト領域とを抽出し、これら各抽出情報に基づいて、オーバーサイズ値を個々に設定する工程を順次実行することにより、レイアウトデータのラッチアップ検証を実行することを特徴とするラッチアップ検証方法。

【請求項2】 オーバーサイズ値を格納するデータベースを作成する工程と、
前記レイアウトデータから、ウェル領域を抽出する第1の抽出工程と、
前記レイアウトデータから、トランジスタ領域を抽出する第2の抽出工程と、
前記レイアウトデータから、基板コンタクト領域を抽出する第3の抽出工程と、
前記第1乃至第3の抽出工程より得られた前記抽出情報に基づいて、オーバーサイズ値データベースを参照してオーバーサイズ値を決定するオーバーサイズ決定工程と、
前記オーバーサイズ値に基づいてオーバーサイズ領域を画定する工程と、
前記画定工程で画定されたオーバーサイズ領域内にトランジスタ領域が含まれているか否かによってラッチアップ検証を実行する工程とを含むことを特徴とする請求項1記載のラッチアップ検証方法。

【請求項3】 前記オーバーサイズ決定工程は、前記半導体集積回路の各トランジスタ領域の構造的条件または使用条件に基づいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項2記載のラッチアップ検証方法。

【請求項4】 前記オーバーサイズ決定工程は、前記トランジスタ領域と前記ウェル領域と前記基板コンタクト領域との位置関係にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項3に記載のラッチアップ検証方法。

【請求項5】 前記オーバーサイズ決定工程は、前記ウェル領域と前記トランジスタ領域の距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項4に記載のラッチアップ検証方法。

【請求項6】 前記オーバーサイズ決定工程は、前記ウェル領域と前記基板コンタクト領域との距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項4に記載のラッチアップ検証方法。

【請求項7】 前記オーバーサイズ決定工程は、トランジスタ領域の大きさを考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする請求項3に記載のラッチアップ検証方法。

【請求項8】 前記オーバーサイズ決定工程は、トランジスタ領域のゲート幅およびまたはゲート長を考慮し

て、オーバーサイズ値を決定するように構成されていることを特徴とする請求項3に記載のラッチアップ検証方法。

【請求項9】 前記オーバーサイズ決定工程は、前記半導体集積回路の各トランジスタ領域の電流能力に応じて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項3に記載のラッチアップ検証方法。

【請求項10】 前記半導体集積回路は、サリサイド配線構造を備え、前記基板コンタクト領域が、ビアホールを介して前記半導体基板内にコンタクトするビアホール含有コンタクト領域と、ビアホールを介して前記半導体基板内にコンタクトすることなく基板表面に形成された表面コンタクト領域とからなり、
前記オーバーサイズ決定工程は、前記基板コンタクト領域が、ビアホール含有コンタクト領域であるか表面コンタクト領域であるかを判断し、表面コンタクト領域である場合には、オーバーサイズ値を縮小するように構成されていることを特徴とする請求項3に記載のラッチアップ検証方法。

【請求項11】 オーバーサイズ値データベースが、前記半導体集積回路の各トランジスタ領域の構造または電気的特性をパラメータとする関数で構成されており、前記関数によりオーバーサイズ値を決定することを特徴とする請求項1または請求項2記載のラッチアップ検証方法。

【請求項12】 オーバーサイズ値データベースが、前記半導体集積回路の各トランジスタ領域の構造または電気的特性からなるパラメータを含む表で構成されており、前記表によりオーバーサイズ値を決定することを特徴とする請求項1または請求項2記載のラッチアップ検証方法。

【請求項13】 前記オーバーサイズ値が水平方向と垂直方向で異なることを特徴とする請求項1または請求項2記載のラッチアップ検証方法。

【請求項14】 オーバーサイズ値が水平方向における左右または垂直方向における上下で異なるオーバーサイズ値をとるように構成したことを特徴とする請求項1または請求項2記載のラッチアップ検証方法。

【請求項15】 半導体基板上に形成される半導体集積回路のレイアウトデータから、ウェル領域とトランジスタ領域と基板コンタクト領域との情報を抽出し、各抽出情報に基づいて、オーバーサイズ値を個々に設定する工程を順次実行することにより、レイアウトデータのラッチアップ検証を実行するように構成されたことを特徴とするラッチアップ検証装置。

【請求項16】 オーバーサイズ値を格納するデータベースと、
前記レイアウトデータから、ウェル領域を抽出する第1の抽出手段と、

前記レイアウトデータから、トランジスタ領域を抽出する第2の抽出手段と、

前記レイアウトデータから、基板コンタクト領域を抽出する第3の抽出手段と、

前記第1乃至第3の抽出手段より得られた前記抽出情報に基づいて、前記データベースを参照してオーバーサイズ値を決定する決定手段と、

前記オーバーサイズ値に基づいてオーバーサイズ領域を画定する画定手段と、

前記画定手段で画定されたオーバーサイズ領域内にトランジスタ領域が含まれているか否かを判定することによりラッチアップ検証を実行する検証手段とを含むことを特徴とする請求項15に記載のラッチアップ検証装置。

【請求項17】 前記決定手段は、前記半導体集積回路の各トランジスタ領域の構造または電気的特性に基づいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項16に記載のラッチアップ検証装置。

【請求項18】 前記決定手段は、前記トランジスタ領域と前記ウェル領域と前記基板コンタクト領域との位置関係にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項17に記載のラッチアップ検証装置。

【請求項19】 前記決定手段は、前記ウェル領域と前記トランジスタ領域の距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項18に記載のラッチアップ検証装置。

【請求項20】 前記決定手段は、前記ウェル領域と前記基板コンタクト領域との距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項18に記載のラッチアップ検証装置。

【請求項21】 前記決定手段は、トランジスタ領域の大きさを考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする請求項17に記載のラッチアップ検証装置。

【請求項22】 前記決定手段は、トランジスタ領域のゲート幅およびまたはゲート長を考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする請求項16に記載のラッチアップ検証装置。

【請求項23】 前記決定手段は、前記半導体集積回路の各トランジスタ領域の電流能力に応じて、オーバーサイズ値を決定するように構成されていることを特徴とする請求項16に記載のラッチアップ検証装置。

【請求項24】 前記データベースが、前記半導体集積回路の各トランジスタ領域の構造または電気的特性をパラメータとする関数で構成されており、前記関数によりオーバーサイズ値を決定することを特徴とする請求項15または請求項16に記載のラッチアップ検証装置。

【請求項25】 オーバーサイズ値データベースが、前記半導体集積回路の各トランジスタ領域の構造または電

気的特性からなるパラメータを含む表で構成されており、前記表によりオーバーサイズ値を決定することを特徴とする請求項15または請求項16に記載のラッチアップ検証装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路のレイアウトデータに対するラッチアップ検証方法及び検証装置に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路の微細化に伴い、ラッチアップを要因とする半導体集積回路の動作不良による問題が増大してきている。CMOS半導体集積回路は、微細化、高集積化が進むにつれて、寄生トランジスタが形成され、PNPバイポーラトランジスタあるいはNPNバイポーラトランジスタのいずれかに何らかのきっかけで順方向のベース電流が流れるという現象が生じた場合、PNPおよびNPNの両バイポーラトランジスタが共にオンし、正帰還状態となり電源供給を止めない限り、オン状態が終了しなくなるというラッチアップ現象が発生することが知られている。

【0003】 その対策の一つとして、レイアウトデータによるラッチアップ検証方法が挙げられる。

【0004】 従来、この種のラッチアップ検証方法は、少なくとも、ウェル領域抽出ステップとトランジスタ領域抽出ステップと基板コンタクト領域抽出ステップと、オーバーサイズ実行ステップと、ラッチアップ検証ステップを備えており、基板コンタクト領域とトランジスタ領域との距離を検証材料としていた。(特開平7-130965号公報)。

【0005】 以下、従来のラッチアップ検証方法について説明する。

【0006】 図13は、従来のラッチアップ検証方法のフローチャートであり、入力レイアウトデータD1に基づいて、あらかじめ設定されているオーバーサイズ値にしたがって、基板コンタクト領域とトランジスタ領域との距離が、十分にラッチアップのおそれがないものであるか否かを検証し、ラッチアップ検証結果データD12を得るようにしたものである。すなわち、ウェル領域を抽出するステップS1と、トランジスタ領域を抽出するステップS2と、基板コンタクト領域を抽出するステップS3と、プロセス毎に設定された値で基板コンタクト領域からの安全圏を描くいわゆるオーバーサイズ工程を実行するステップS16と、トランジスタ領域が前記オーバーサイズ領域すなわち安全圏からはみだしていないかどうかを検証するラッチアップ検証ステップS7とから構成されている。

【0007】 以上のように構成されたラッチアップ検証方法について、以下にその動作を詳細に説明する。

【0008】 まず、入力レイアウトデータD1より、ス

5

ステップS1にてウェル領域を抽出する。次に、入力レイアウトデータD1より、ステップS2にてトランジスタ領域を抽出する。その次に、入力レイアウトデータD1より、ステップS3にて基板コンタクト領域を抽出する。前記ステップS1と前記ステップS2と前記ステップS3により抽出されたデータから、プロセス毎に設定された一定の値をオーバーサイズデータとして用いて、基板コンタクト領域からの安全圏（オーバーサイズ領域）を描画し、ステップS16によりオーバーサイズ工程を実行する。前記ステップS16によりオーバーサイズ工程を実行された安全圏すなわち、オーバーサイズ工程によって拡大（オーバーサイズ）された基板コンタクト領域と前記ステップS2で抽出されたトランジスタ領域の論理演算を行なって、前記オーバーサイズ工程により設定された基板コンタクト領域のオーバーサイズ領域外に存在するトランジスタ領域を抽出するステップS7を実行することにより、ラッチアップ検証を実行する。前記ステップS7によりラッチアップ検証結果データD12を得る。

【0009】

【発明が解決しようとする課題】しかしながら、前記従来のラッチアップ検証方法では、オーバーサイズ値がプロセス毎に一定の値に設定されているため、精度の高いラッチアップ検証が出来ないという問題があった。

【0010】本発明は、前記従来の問題点を解決するもので、精度の高いラッチアップ検証方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は前記目的を達成するため、レイアウトデータに対するラッチアップ検証を行なう場合に、レイアウトデータよりウェル領域とトランジスタ領域と基板コンタクト領域を抽出した後、前記領域の抽出情報により、オーバーサイズ値を個々に設定して、基板コンタクト領域へのオーバーサイズ工程を実行することにより、オーバーサイズ領域を設定し、トランジスタ領域がこのオーバーサイズ領域に含まれているか否かを判断することにより、ラッチアップ検証を高精度に実行することが可能となる。

【0012】本発明の請求項1のラッチアップ検証方法では、半導体基板上に形成される半導体集積回路のレイアウトデータから、ウェル領域とトランジスタ領域と基板コンタクト領域の各抽出情報に基づいて、オーバーサイズ値を個々に設定する工程を順次実行することにより、レイアウトデータのラッチアップ検証を実行することを特徴とする。

【0013】かかる構成によれば、半導体基板上に形成される半導体集積回路のレイアウトデータから、ウェル領域とトランジスタ領域と基板コンタクト領域の各抽出情報に基づいて、オーバーサイズ値を個々に設定するため、種々の条件を考慮して判断することができるため、

6

高精度の検証が可能となる。すなわち、ラッチアップの危険性は、半導体基板の導電型および、キャリア濃度、コンタクト領域の大きさ、ウェルからの距離をはじめとする各領域の位置関係などの構造的条件と、電流能力（電気的特性）などの使用条件とに、大きく依存する。したがって、これらの条件を考慮してオーバーサイズ領域を設定することにより、ラッチアップ検証精度が大幅に向上する。

【0014】本発明の請求項2では、請求項1のラッチアップ検証方法において、オーバーサイズ値を格納するデータベースを作成する工程と、前記レイアウトデータから、ウェル領域を抽出する第1の抽出工程と、前記レイアウトデータから、トランジスタ領域を抽出する第2の抽出工程と、前記レイアウトデータから、基板コンタクト領域を抽出する第3の抽出工程と、前記第1乃至第3の抽出工程より得られた前記抽出情報に基づいて、オーバーサイズ値データベースを参照してオーバーサイズ値を決定する決定工程と、前記オーバーサイズ値に基づいてオーバーサイズ領域を画定する工程と（オーバーサイズの実行）、前記画定工程で画定されたオーバーサイズ領域内にトランジスタ領域が含まれているか否かによってラッチアップ検証を実行する工程とを含むことを特徴とする。

【0015】上記構成によれば、オーバーサイズ値をデータベースに格納しておき、ウェル領域、トランジスタ領域および基板コンタクト領域の抽出情報に基づき、オーバーサイズ値データベースを参照してオーバーサイズ値を決定しているため、請求項1と同様きわめて高精度のラッチアップ検証が可能となる。

【0016】本発明の請求項3では、請求項2記載のラッチアップ検証方法において、前記オーバーサイズ決定工程は、前記半導体集積回路の各トランジスタ領域の構造的条件または使用条件に基づいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0017】上記構成によれば、オーバーサイズ値は、前記半導体集積回路の各トランジスタ領域の構造または電気的特性に基づいて、決定されるため、より高精度のラッチアップ検証が可能となる。

【0018】本発明の請求項4では、請求項3に記載のラッチアップ検証方法において、前記オーバーサイズ決定工程は、前記トランジスタ領域と前記ウェル領域と前記基板コンタクト領域との位置関係にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0019】本発明の請求項5では、請求項4に記載のラッチアップ検証方法において、前記オーバーサイズ決定工程は、前記ウェル領域と前記トランジスタ領域の距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0020】本発明の請求項6では、請求項4に記載の

ラッチアップ検証方法において、前記オーバーサイズ決定工程は、前記ウェル領域と前記基板コンタクト領域との距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0021】かかる構成によれば、前記オーバーサイズ決定工程は、前記トランジスタ領域と前記ウェル領域と前記基板コンタクト領域との位置関係にもとづいて、オーバーサイズ値を決定しているため、より高精度のラッチアップ検証を行うことが可能となる。たとえばウェル端縁との距離が小さいほど、ラッチアップは発生しにくくなるため、オーバーサイズ値は大きくすることができるなど、位置関係によってラッチアップの発生状況は大きく異なり、これを考慮することにより、より高精度のラッチアップ検証を行うことが可能となる。

【0022】本発明の請求項7では、請求項3に記載のラッチアップ検証方法において、前記オーバーサイズ決定工程は、トランジスタ領域の大きさを考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0023】かかる構成によれば、トランジスタ領域の大きさを考慮して、トランジスタ領域のオーバーサイズ値を決定するようにしているため、より高精度のラッチアップ検証を行うことが可能となる。トランジスタ領域は大きいほど、オーバーサイズ値を大きくすることが必要であり、これを考慮することにより、より高精度のラッチアップ検証が可能となる。

【0024】本発明の請求項8では、請求項3に記載のラッチアップ検証方法において、前記オーバーサイズ決定工程は、トランジスタ領域のゲート幅およびまたはゲート長を考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0025】かかる構成によれば、トランジスタ領域のゲート幅およびまたはゲート長を考慮して、オーバーサイズ値を決定するようにしているため、より高精度のラッチアップ検証を行うことが可能となる。ゲート幅が大きいほど、より大きな電流を流すことができ、ラッチアップは生じにくくなる。したがってゲート幅が大きいほど、トランジスタ領域のオーバーサイズ値は小さくすればよい。またゲート長が大きいほどチャネル抵抗が大きくなり、ラッチアップは生じやすくなる。したがってゲート長が大きいほど、トランジスタ領域のオーバーサイズ値は大きくする必要がある。このように、ゲート幅、ゲート長を考慮することにより、より高精度のラッチアップ検証が可能となる。一方、基板コンタクト領域のオーバーサイズ値で調整する場合は、ゲート幅が大きいほど、基板コンタクト領域のオーバーサイズ値は大きくする必要があるというように逆になる。ただし、トランジスタ領域のオーバーサイズ値を調整するほうが、工程が簡単であるが、必要に応じて基板コンタクト領域のオーバーサイズ値で調整するようにしてもよい。

【0026】本発明の請求項9では、請求項3に記載のラッチアップ検証方法において、前記オーバーサイズ決定工程は、前記半導体集積回路の各トランジスタ領域の電流能力に応じて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0027】かかる構成によれば、前記オーバーサイズ決定工程は、各トランジスタ領域の電流能力に応じて、オーバーサイズ値を決定するように構成しており、より大きな電流を流すことができる場合には、ラッチアップ現象が生じにくくなる。従って、トランジスタ領域のオーバーサイズ値を小さくするか、基板コンタクト領域のオーバーサイズ値を大きくするようにすればよい。かかる条件を考慮することにより、より高精度のラッチアップ検証が可能となる。

【0028】本発明の請求項10では、請求項3に記載のラッチアップ検証方法において、前記半導体集積回路は、サリサイド配線構造を備え、前記基板コンタクト領域が、ビアホールを介して前記半導体基板内にコンタクトするビアホール含有コンタクト領域と、ビアホールを介して前記半導体基板内にコンタクトすることなく基板表面に形成された表面コンタクト領域とからなり、前記オーバーサイズ決定工程は、前記基板コンタクト領域が、ビアホール含有コンタクト領域であるか表面コンタクト領域であるかを判断し、表面コンタクト領域である場合には、オーバーサイズ値を縮小するように構成されていることを特徴とする。

【0029】かかる構成によれば、サリサイド配線構造を備えた半導体装置において、ビアホールをもたない、前記基板コンタクト領域も、判定条件を変えて、判定対象に加えたことを特徴とする。すなわち、本発明者らは、サリサイド配線構造では、ビアホールをもたない、前記基板コンタクト領域も、ラッチアップ防止に大きく役立つことを発見し、この点に鑑みてなされたものである。またビアホールを形成しないコンタクト領域は、ビアホールを形成する場合に比べてきわめて小さな幅で形成することが可能であり、微細な領域に形成可能であることから、きわめて有効であり、このような“表面コンタクト領域”を導入するとともに、これを考慮して、ラッチアップ検証を行うことにより、より高精度でかつ占有面積の小さいコンタクト構造を得ることが可能となる。

【0030】本発明の請求項11では、請求項1または請求項2記載のラッチアップ検証方法において、オーバーサイズ値データベースが、前記半導体集積回路の各トランジスタ領域の構造または電気的特性をパラメータとする関数で構成されており、前記関数によりオーバーサイズ値を決定することを特徴とする。

【0031】本発明の請求項12では、請求項1または請求項2記載のラッチアップ検証方法において、オーバーサイズ値データベースが、前記半導体集積回路の各ト

ランジスタ領域の構造または電気的特性からなるパラメータを含む表で構成されており、前記表によりオーバーサイズ値を決定することを特徴とする。

【0032】かかる構成によれば、オーバーサイズ値データベースを、前記半導体集積回路の各トランジスタ領域の構造または電気的特性をパラメータとする関数あるいは表で構成しており、この関数によりきわめて容易にオーバーサイズ値を決定することが可能となる。

【0033】本発明の請求項13では、請求項1または請求項2記載のラッチアップ検証方法において、前記オーバーサイズ値が水平方向と垂直方向で異なることを特徴とする。

【0034】本発明の請求項14では、請求項1または請求項2記載のラッチアップ検証方法において、オーバーサイズ値が水平方向における左右または垂直方向における上下で異なるオーバーサイズ値であることを特徴とする。

【0035】かかる構成によれば、前記オーバーサイズ値が水平方向と垂直方向、あるいは水平右方向と水平左方向と垂直上方向と垂直下方向で異なるように設定している。すなわち、たとえばトランジスタ領域の、チャンネル幅方向と、チャンネル長方向とでは、安全圏が異なり、チャンネル長方向のほうがチャンネル幅方向に比べて、オーバーサイズ値は小さい。このように方向を考慮して、オーバーサイズ値を決定することにより、より高精度のラッチアップ検証が可能となる。

【0036】本発明の請求項15のラッチアップ検証装置では、半導体基板上に形成される半導体集積回路のレイアウトデータから、ウェル領域とトランジスタ領域と基板コンタクト領域の各抽出情報に基づいて、オーバーサイズ値を個々に設定する工程を順次実行することにより、レイアウトデータのラッチアップ検証を実行するように構成されたことを特徴とする。

【0037】本発明の請求項16では、請求項15に記載のラッチアップ検証装置において、オーバーサイズ値を格納するデータベースと、前記レイアウトデータから、ウェル領域を抽出する第1の抽出手段と、前記レイアウトデータから、トランジスタ領域を抽出する第2の抽出手段と、前記レイアウトデータから、基板コンタクト領域を抽出する第3の抽出手段と、前記第1乃至第3の抽出手段より得られた前記抽出情報に基づいて、前記データベースを参照してオーバーサイズ値を決定する決定手段と、前記オーバーサイズ値に基づいてオーバーサイズ領域を画定する画定手段と、前記画定手段で画定されたオーバーサイズ領域内にトランジスタ領域が含まれているか否かを判定することによりラッチアップ検証を実行する検証手段とを含むことを特徴とする。

【0038】本発明の請求項17では、請求項16記載のラッチアップ検証装置において、前記決定手段は、前記半導体集積回路の各トランジスタ領域の構造または電

気的特性に基づいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0039】本発明の請求項18では、請求項17に記載のラッチアップ検証装置において、前記決定手段は、前記トランジスタ領域と前記ウェル領域と前記基板コンタクト領域との位置関係にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0040】本発明の請求項19では、請求項18に記載のラッチアップ検証装置において、前記決定手段は、前記ウェル領域と前記トランジスタ領域の距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0041】本発明の請求項20では、請求項18に記載のラッチアップ検証装置において、前記決定手段は、前記ウェル領域と前記基板コンタクト領域との距離にもとづいて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0042】本発明の請求項21では、請求項17に記載のラッチアップ検証装置において、前記決定手段は、トランジスタ領域の大きさを考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0043】本発明の請求項22では、請求項16に記載のラッチアップ検証装置において、前記決定手段は、トランジスタ領域のゲート幅およびまたはゲート長を考慮して、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0044】本発明の請求項23では、請求項16に記載のラッチアップ検証装置において、前記決定手段は、前記半導体集積回路の各トランジスタ領域の電流能力に応じて、オーバーサイズ値を決定するように構成されていることを特徴とする。

【0045】本発明の請求項24では、請求項15または請求項16記載のラッチアップ検証装置において、前記データベースが、前記半導体集積回路の各トランジスタ領域の構造または電気的特性をパラメータとする関数で構成されており、前記関数によりオーバーサイズ値を決定することを特徴とする。

【0046】本発明の請求項25では、請求項15または請求項16記載のラッチアップ検証装置において、オーバーサイズ値データベースが、前記半導体集積回路の各トランジスタ領域の構造または電気的特性からなるパラメータを含む表で構成されており、前記表によりオーバーサイズ値を決定することを特徴とする。

【0047】このようなラッチアップ検証装置では、高精度のラッチアップ検証を行うことが可能となる。

【0048】

【発明の実施の形態】以下、本発明の一実施形態について、図1から図3を用いて説明する。

【0049】図1は、本実施形態におけるラッチアップ検証方法のフローチャートを示す図である。図1の入

レイアウトデータD1は、図2にレイアウトデータ図を示すように、ウェル境界1、ソース側トランジスタ領域2、ドレイン側トランジスタ領域3、基板コンタクト領域4、5などの位置、大きさ、導電型、キャリア濃度などが、含まれている。また、図3は、オーバーサイズ領域画定工程により、基板コンタクト領域4を拡大したオーバーサイズ基板コンタクト領域6、基板コンタクト領域5を拡大したオーバーサイズ基板コンタクト領域7が得られ、これらの領域に含まれないトランジスタ領域を、ラッチアップ検証実行によりエラートランジスタ領域8として検証するものである。

【0050】まず、ステップS1により、前記入カレイアウトデータD1からウェル領域を抽出する。前記ステップS1により、ウェル境界1が抽出される。

【0051】次に、ステップS2により、前記入カレイアウトデータD1からトランジスタ領域を抽出する。前記ステップS2により、ソース側トランジスタ領域2とドレイン側トランジスタ領域3が抽出される。

【0052】さらにその次に、ステップS3により、前記入カレイアウトデータD1から基板コンタクト領域4と基板コンタクト領域5を抽出する。

【0053】ステップS4では、前記ステップS1と前記ステップS2と前記ステップS3にて得られた抽出情報から、個々の位置関係を判定する。前記ステップS4により、基板コンタクト領域4はウェル境界1から近い基板コンタクト領域、基板コンタクト領域5はウェル境界1から遠い基板コンタクト領域と判定する。ここではあるしきい値を境として近い基板コンタクト領域と遠い基板コンタクト領域との2つに分類する。

【0054】次に、ステップS5により、基板コンタクト領域4のオーバーサイズ値をR1、基板コンタクト領域5のオーバーサイズ値をR2に決定する。(R1>R2) 前記ステップS5にて決定されたオーバーサイズ値にて、ステップS6にて、オーバーサイズ領域画定を画定する(以下“オーバーサイズを実行する”とする)。前記ステップS6の実行結果を表す概念図が、図3のレイアウトデータの図である。

【0055】次にステップS7により、ラッチアップ検証を行なう。オーバーサイズ実行後の基板コンタクト領域6とオーバーサイズ実行後の基板コンタクト領域7とソース側トランジスタ領域2とドレイン側トランジスタ領域3と論理演算を行なうことにより、オーバーサイズ実行後の基板コンタクト領域6とオーバーサイズ実行後の基板コンタクト領域7の領域外に存在するエラートランジスタ領域8を、ラッチアップ検証データD2として出力する。

【0056】以上のように本実施形態によれば、ステップS1からステップS7までの処理を実行したことにより、ウェル領域境界1から近い基板コンタクト領域のほうが遠い基板コンタクト領域に比べてオーバーサイズ値

を大きく設定するなど、オーバーサイズ値を個々に設定して、オーバーサイズを実行できるので、ラッチアップ検証を高精度に実行することが可能となる。

【0057】以下、本発明の第2の実施形態について、図4から図6を用いて説明する。

【0058】図4の入カレイアウトデータD3にあたるものは、図5のレイアウトデータの図である。図5の11はウェル境界、12はソース側トランジスタ領域、13はドレイン側トランジスタ領域、14はソース側トランジスタ領域、15はドレイン側トランジスタ領域、16は基板コンタクト領域である。また、図6の17はソース側トランジスタ領域12とドレイン側トランジスタ領域13をオーバーサイズ工程実行後のオーバーサイズトランジスタ領域、18は基板コンタクト領域16をオーバーサイズ工程実行後の基板コンタクト領域、19はラッチアップ検証実行後のエラートランジスタ領域である。

【0059】まず、ステップS1により、前記入カレイアウトデータD3のウェル領域を抽出する。前記ステップS1により、ウェル境界11が抽出できる。

【0060】次に、ステップS2により、前記入カレイアウトデータD3のトランジスタ領域を抽出する。前記ステップS2により、ソース側トランジスタ領域12とドレイン側トランジスタ領域13とソース側トランジスタ領域14とドレイン側トランジスタ領域15とが抽出できる。

【0061】その次に、ステップS3により、前記入カレイアウトデータD3の基板コンタクト領域16を抽出する。

【0062】ステップS41では、前記ステップS2にて得られた抽出情報から、トランジスタ領域の大きさを判定する。前記ステップS41により、ソース側トランジスタ領域12とドレイン側トランジスタ領域13は、大きなトランジスタ領域であると判定する。ここではあるしきい値を境として大きいトランジスタ領域と小さいトランジスタ領域との2つに分類する。(トランジスタサイズによる判定) 次に、ステップS42では、前記ステップS1と前記ステップS3にて得られた抽出情報から、個々の位置関係を判定する。前記ステップS42により、基板コンタクト領域16はウェル境界11から近い基板コンタクト領域と判定する。

【0063】ステップS51では、ソース側トランジスタ領域12とドレイン側トランジスタ領域13のオーバーサイズ値をトランジスタサイズの大きい領域用としてR3と決定する。

【0064】次に、ステップS52では、基板コンタクト領域16がウェル境界11から近い基板コンタクト領域であるとして、オーバーサイズ値をR1 (R3<R1) に決定する。

【0065】前記ステップS51および前記ステップS

52にて決定されたオーバーサイズ値にて、ステップS6にて、ソース側トランジスタ領域12とドレイン側トランジスタ領域13と基板コンタクト領域16のオーバーサイズ工程を実行し、オーバーサイズ領域を画定する。前記ステップS6の実行結果を表す概念図が、図6のレイアウトデータの図である。

【0066】次にステップS7により、ラッチアップ検証を行なう。ソース側トランジスタ領域14とドレイン側トランジスタ領域15とオーバーサイズ工程実行後のトランジスタ領域17とオーバーサイズ工程実行後の基板コンタクト領域18と論理演算を行なうことにより、前記オーバーサイズ工程実行後の基板コンタクト領域18の領域外に存在するエラートランジスタ領域19を、ラッチアップ検証データD4に出力する。

【0067】以上のように本実施形態によれば、ステップS1からステップS7までの処理を実行したことにより、トランジスタ領域の大きさと、ウェル端縁からの距離に応じてオーバーサイズ値を個々に設定して、オーバーサイズ工程を実行しているため、ラッチアップ検証を高精度に実行することが可能となる。

【0068】以下、本発明の第3の実施形態について、図7から図9を用いて説明する。

【0069】図7の入力レイアウトデータD5にあたるものは、図8のレイアウトデータの図である。図8の21はウェル境界、22はソース側トランジスタ領域、23はドレイン側トランジスタ領域、24はソース側トランジスタ領域、25はドレイン側トランジスタ領域、26は基板コンタクト領域である。また、図9の27はソース側トランジスタ領域22とドレイン側トランジスタ領域23をオーバーサイズ工程実行後のトランジスタ領域、28は基板コンタクト領域26をオーバーサイズ工程実行後の基板コンタクト領域、29はラッチアップ検証実行後のエラートランジスタ領域である。

【0070】まず、ステップS1により、前記入力レイアウトデータD5のウェル領域を抽出する。前記ステップS1により、ウェル境界21が抽出できる。

【0071】次に、ステップS2により、前記入力レイアウトデータD5のトランジスタ領域を抽出する。前記ステップS2により、ソース側トランジスタ領域22とドレイン側トランジスタ領域23とソース側トランジスタ領域24とドレイン側トランジスタ領域25とが抽出できる。

【0072】その次に、ステップS3により、前記入力レイアウトデータD5の基板コンタクト領域26を抽出する。

【0073】ステップS43では、前記ステップS1と前記ステップS2にて得られた抽出情報から、トランジスタ領域の位置関係を判定する。ここではあるしきい値を境としてウェル領域21から遠いトランジスタ領域と近いトランジスタ領域との2つに分類する。(ウェル領

域からの距離による判定) 前記ステップS43により、ソース側トランジスタ領域22とドレイン側トランジスタ領域23は、ウェル領域21から遠いトランジスタ領域と判定する。

【0074】次に、第2の実施形態と同じステップS42では、前記ステップS1と前記ステップS3にて得られた抽出情報から、個々の位置関係を判定する。ここではあるしきい値を境としてウェル境界21から近い基板コンタクト領域と遠い基板コンタクト領域との2つに分類する。(コンタクト位置による判定) 前記ステップS42により、基板コンタクト領域26はウェル境界21から近い基板コンタクト領域と判定する。

【0075】ステップS53では、ソース側トランジスタ領域22とドレイン側トランジスタ領域23のオーバーサイズ値をR4と決定する。

【0076】次に、第2の実施形態と同じステップS52では、基板コンタクト領域26のオーバーサイズ値をR1に決定する。

【0077】前記ステップS53および前記ステップS52にて決定されたオーバーサイズ値にて、ステップS6にて、ソース側トランジスタ領域22とドレイン側トランジスタ領域23と基板コンタクト領域26のオーバーサイズ工程を実行する。前記ステップS6の実行結果を表す概念図が、図9のレイアウトデータの図である。

【0078】次にステップS7により、ラッチアップ検証を行なう。ソース側トランジスタ領域22とドレイン側トランジスタ領域23とオーバーサイズ工程実行後のトランジスタ領域27とオーバーサイズ工程実行後の基板コンタクト領域28と論理演算を行なうことにより、前記オーバーサイズ工程実行後の基板コンタクト領域28の領域外に存在するエラートランジスタ領域29を、ラッチアップ検証データD6に出力する。

【0079】以上のように本実施形態によれば、ステップS1からステップS7までの処理を実行したことにより、トランジスタ領域および基板コンタクト領域のウェル領域からの距離を考慮して、オーバーサイズ値を個々に設定して、オーバーサイズを実行できるので、ラッチアップ検証を高精度に実行することが可能となる。

【0080】以下、本発明の第4の実施形態について、図10から図12を用いて説明する。

【0081】図10の入力レイアウトデータD7にあたるものは、図11のレイアウトデータの図である。図11の入力データは、サリサイド構造を備えたプロセスで設計されたデータである。図11の31はウェル境界、32はソース側トランジスタ領域、33はドレイン側トランジスタ領域、34はコンタクトを備えていない表面コンタクト領域、35はコンタクトを備えているヴィアホール含有コンタクト領域である。

【0082】また、図12の36はコンタクトを備えていない基板コンタクト領域34をオーバーサイズ工程実

行後のオーバーサイズ表面コンタクト領域、37はオーバーサイズ工程実行後のオーバーサイズコンタクト含有コンタクト領域である。

【0083】まず、ステップS1により、前記入カレイアウトデータD7のウェル領域を抽出する。前記ステップS1により、ウェル境界31が抽出できる。

【0084】次に、ステップS2により、前記入カレイアウトデータD7のトランジスタ領域を抽出する。前記ステップS2により、ソース側トランジスタ領域32とドレイン側トランジスタ領域33とが抽出できる。

【0085】その次に、ステップS31により、前記入カレイアウトデータD7より、サリサイド構造を考慮してコンタクトを備えていない表面コンタクト領域34とコンタクトを備えているヴィアホール含有コンタクト領域35を抽出する。

【0086】第1の実施形態と同じステップS4では、前記ステップS1と前記ステップS2と前記ステップS31にて得られた抽出情報から、個々の位置関係を判定する。ここではあるしきい値よりもウェル境界31からの距離が大きい小さいかによって判断する。前記ステップS4により、表面コンタクト領域34はウェル境界31から近くかつコンタクトを備えていない基板コンタクト領域、コンタクトを備えている基板コンタクト領域35はウェル境界31から遠くかつコンタクトを備えているヴィアホール含有コンタクト領域と判定する。

【0087】次に、ステップS5により、コンタクトを備えていない表面コンタクト34のオーバーサイズ値をR5、コンタクトを備えているヴィアホール含有基板コンタクト領域5のオーバーサイズ値をR6に決定する。ここではR5>R6である。

【0088】前記ステップS5にて決定されたオーバーサイズ値にて、ステップS61にて、サリサイド構造を考慮したオーバーサイズ工程を実行する。前記ステップS61の実行結果を表す概念図が、図12のレイアウトデータの図である。

【0089】次にステップS7により、ラッチアップ検証を行なう。ソース側トランジスタ領域32とドレイン側トランジスタ領域33とオーバーサイズ工程実行後の、オーバーサイズ表面コンタクト領域36とオーバーサイズヴィアホール含有コンタクト領域37と論理演算を行なうことにより、前記オーバーサイズ表面コンタクト領域36と前記オーバーサイズヴィアホール含有コンタクト領域37の領域外に存在するエラートランジスタ領域をラッチアップ検証データD8に出力する。

【0090】以上のように本実施形態によれば、ステップS1からステップS7までの処理を実行したことにより、コンタクトの位置およびヴィアホールを含有しているか否かによってオーバーサイズ値を個々に設定して、オーバーサイズを実行できるので、ラッチアップ検証を高精度に実行することが可能となる。

【0091】なお、前記実施形態において、トランジスタ領域をPMOSTランジスタ、基板コンタクト領域をN型拡散領域としたが、それぞれ、PMOSTランジスタをNMOSTランジスタ、N型拡散領域をP型拡散領域としてもよい。

【0092】なお、第1の実施形態において、ステップS5のオーバーサイズ値データベースと、第2の実施形態において、ステップS51とステップS52のオーバーサイズ値データベースと、第3の実施形態において、ステップS52とステップS53のオーバーサイズ値データベースと、第4の実施形態において、ステップS5のオーバーサイズ値データベースをデジタル表示による表形式としたが、アナログ表示による関数を使用して、オーバーサイズ値を決定するステップとしてもよい。

【0093】また、前記実施形態では、オーバーサイズ値が、水平方向と垂直方向で同一であったが、水平方向と垂直方向で異なるオーバーサイズ値であってもよい。

【0094】また、前記実施形態では、判定結果を2段階に分けたが、判定結果を3段階以上に増やすようにしてもよく、これによりより高精度の判定結果が得られることは言うまでもない。

【0095】なお、第1の実施形態における、ステップS5のオーバーサイズ値データベースと、第2の実施形態における、ステップS51とステップS52のオーバーサイズ値データベースと、第3の実施形態における、ステップS52とステップS53のオーバーサイズ値データベースと、第4の実施形態における、ステップS5のオーバーサイズ値データベースとはいずれもデジタル表示による表形式としたが、アナログ表示による関数を使用して、オーバーサイズ値を決定するステップとしてもよい。

【0096】次に本発明の第5の実施形態として、図14に示すように、判定結果を多数段にするとともに、ウェル境界51を境にN型ウェル領域内に形成されるP+トランジスタ領域58、P型基板表面に形成されるN+トランジスタ領域59との両方について、N型基板コンタクト領域53、54とP型基板コンタクト領域56、57とにたいし、それぞれウェル境界51からの距離、導電型、各トランジスタ領域の水平方向であるか、垂直方向であるかなどを考慮して個々にオーバーサイズ値を決定している。図中一例として具体的な数値を示している。矢印の外側を囲む領域がオーバーサイズ領域である。

【0097】前記実施例では、個々の領域について考察したが、次に本発明の第6及び第7の実施形態として、DRAMなどにおける多数列のトランジスタアレイを配列した構造について説明する。図15は第6の実施形態のレイアウトデータを示す図である。図15において41はウェル境界、42は基板コンタクト領域、43はソース側トランジスタ領域、44はドレイン側トランジスタ領

域である。ここで基板コンタクト領域42は $1.8\mu\text{m}$ ピッチでトランジスタ2個あたり1つずつ設けられている。また、図16は第7の実施形態のレイアウトデータを示す図であり、ここで基板コンタクト領域42は $5.4\mu\text{m}$ ピッチでトランジスタ6個あたり1つずつ設けられている。

【0098】コンタクトピッチと耐圧との関係を実際に測定した結果を図17に示す。横軸はピッチ縦軸は任意値である。Rfは規格値を示し、この規格値よりも耐圧が大きくなるようにオーバーサイズ値を決定すればよいことがわかる。この図から基板コンタクトピッチは9トランジスタまで有効であることがわかる。また図18は基板コンタクトピッチは一定(6トランジスタ)にし、トランジスタ領域の幅を変化させた場合について、幅と耐圧との関係を実際に測定した結果である。横軸はトランジスタ幅(上段WPはP型トランジスタ領域の場合、下段WNはN型トランジスタ領域の場合)である。Rfは規格値を示し、この規格値よりも耐圧が大きくなるようにトランジスタ幅ごとにオーバーサイズ値を決定すればよいことがわかる。

【0099】なお、第4の実施形態において、サリサイド構造を考慮したが、サリサイド構造を備えるレイアウトデータにおいて、第1の実施形態及び第2の実施形態及び第3の実施形態にてサリサイド構造を考慮した場合にも、より高精度の判定結果が得られることは言うまでもない。ビアホールの有無と耐圧との関係を測定した結果を図19および図20に示す。図中に白抜きはビアホールなしコンタクト領域すなわち、表面コンタクト領域の場合、黒塗り部分はビアホールあり、コンタクト領域すなわち、ビアホール含有コンタクト領域の場合についての耐圧を測定した結果である。

【0100】図19及び図20はコンタクトピッチとしこれと耐圧との関係を実際に測定した結果を示す図である。横軸はピッチ縦軸は任意値である。Rfは規格値を示し、この規格値よりも耐圧が大きくなるようにオーバーサイズ値を決定すればよい。図19はVDD3端子の場合、図20はVDD端子の場合である。これらの結果からビアホールの有無、基板コンタクトピッチに差はなくすべて規格値Rf以上であり、十分な耐圧を示していることがわかる。

【0101】

【発明の効果】以上のように本発明は、レイアウトデータに対するラッチアップ検証を行なう場合に、レイアウトデータよりウエル領域とトランジスタ領域と基板コンタクト領域を抽出した後、前記領域の構造的条件あるいは使用条件により、オーバーサイズ値を個々に設定して、オーバーサイズ工程を実行することにより、ラッチアップ検証を高精度に実行することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態におけるラッチアップ

検証方法のフローチャートを示す図

【図2】本発明の第1の実施形態の説明に使用したレイアウトデータの図

【図3】本発明の第1の実施形態の説明に使用したレイアウトデータの図

【図4】本発明の第2の実施形態におけるラッチアップ検証方法のフローチャートを示す図

【図5】本発明の第2の実施形態の説明に使用したレイアウトデータの図

10 【図6】本発明の第2の実施形態の説明に使用したレイアウトデータの図

【図7】本発明の第3の実施形態におけるラッチアップ検証方法のフローチャートを示す図

【図8】本発明の第3の実施形態の説明に使用したレイアウトデータの図

【図9】本発明の第3の実施形態の説明に使用したレイアウトデータの図

【図10】本発明の第4の実施形態におけるラッチアップ検証方法のフローチャートを示す図

20 【図11】本発明の第1の実施形態の説明に使用したレイアウトデータの図

【図12】本発明の第1の実施形態の説明に使用したレイアウトデータの図

【図13】従来のラッチアップ検証方法のフローチャートを示す図

【図14】本発明の第5の実施形態の説明に使用したレイアウトデータの図

【図15】本発明の第6の実施形態を示す図

30 【図16】本発明の第7の実施形態の説明に使用したレイアウトデータの図

【図17】コンタクトピッチと耐圧との関係を測定した結果を示す図

【図18】トランジスタ幅と耐圧との関係を測定した結果を示す図

【図19】コンタクト領域におけるビアホールの有無と耐圧との関係を測定した結果を示す図(VDD3端子の場合)

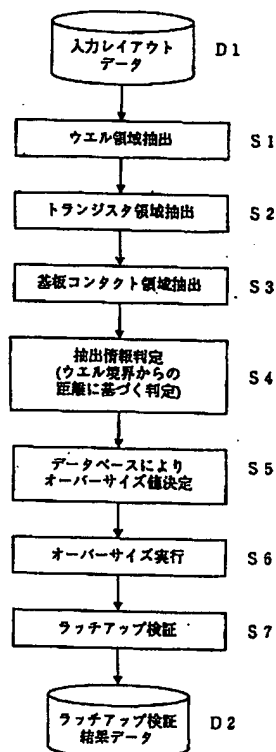
40 【図20】コンタクト領域におけるビアホールの有無と耐圧との関係を測定した結果を示す図(VDD端子の場合)

【符合の説明】

- 1 ウエル境界
- 2 ソース側トランジスタ領域
- 3 ドレイン側トランジスタ領域
- 4 基板コンタクト領域
- 5 基板コンタクト領域
- 6 オーバーサイズ基板コンタクト領域
- 7 オーバーサイズ基板コンタクト領域
- 8 エラートランジスタ領域
- 50 11 ウエル境界

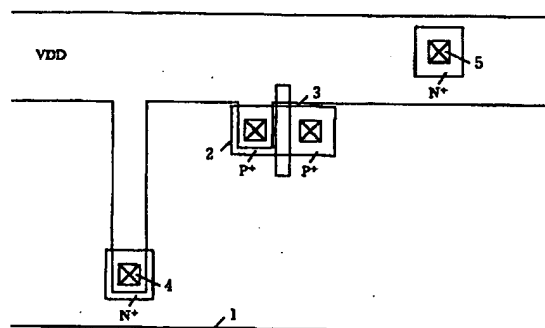
- 12 ソース側トランジスタ領域
- 13 ドレイン側トランジスタ領域
- 14 ソース側トランジスタ領域
- 15 ドレイン側トランジスタ領域
- 16 基板コンタクト領域
- 17 オーバーサイズトランジスタ領域
- 18 オーバーサイズ基板コンタクト領域
- 19 エラートランジスタ領域
- 21 ウェル境界
- 22 ソース側トランジスタ領域
- 23 ドレイン側トランジスタ領域
- 24 ソース側トランジスタ領域
- 25 ドレイン側トランジスタ領域
- 26 基板コンタクト領域
- 27 オーバーサイズトランジスタ領域
- 28 オーバーサイズ基板コンタクト領域
- 29 エラートランジスタ領域

【図1】

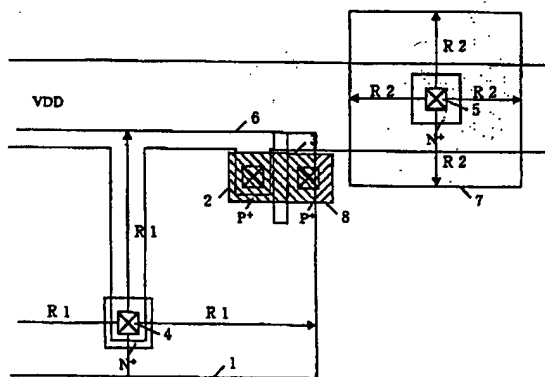


- 31 ウェル境界
- 32 ソース側トランジスタ領域
- 33 ドレイン側トランジスタ領域
- 34 表面コンタクト領域 (コンタクトを備えていない基板コンタクト領域)
- 35 ヴィアホール含有コンタクト領域 (コンタクトを備えている基板コンタクト領域)
- 36 オーバーサイズ表面コンタクト領域
- 37 オーバーサイズヴィアホール含有コンタクト領域
- 10 コンタクト領域
- 41 ウェル境界
- 42 基板コンタクト領域
- 43 ソース側トランジスタ領域
- 44 ドレイン側トランジスタ領域
- 51 ウェル境界
- 52、53、54 基板コンタクト領域
- 55、56、57 基板コンタクト領域

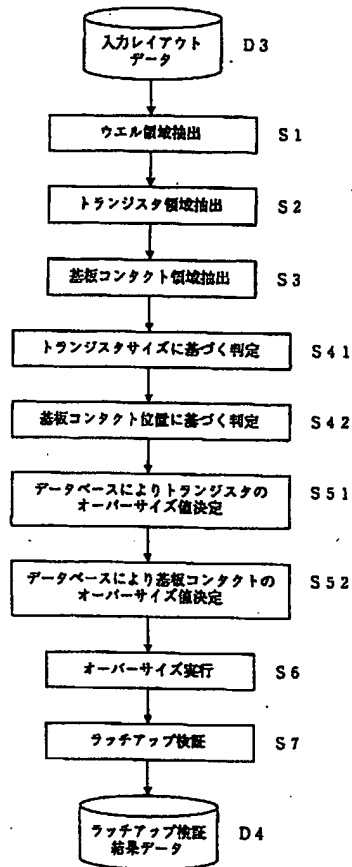
【図2】



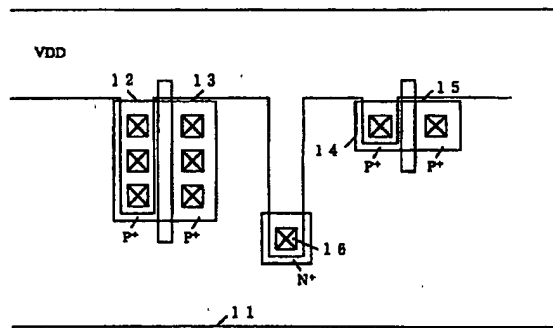
【図3】



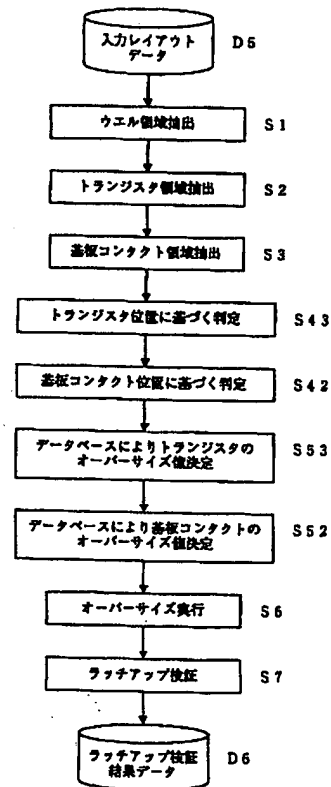
【図4】



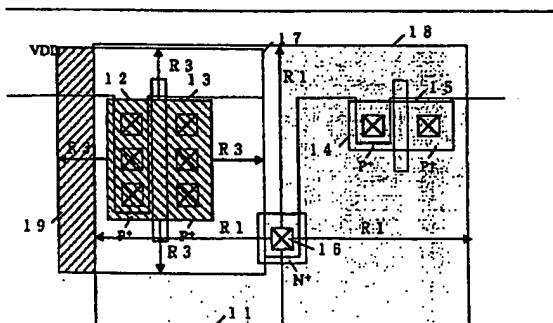
【図5】



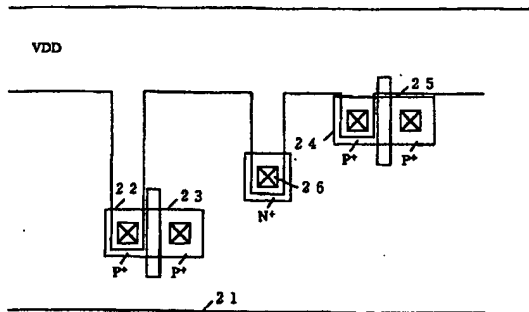
【図7】



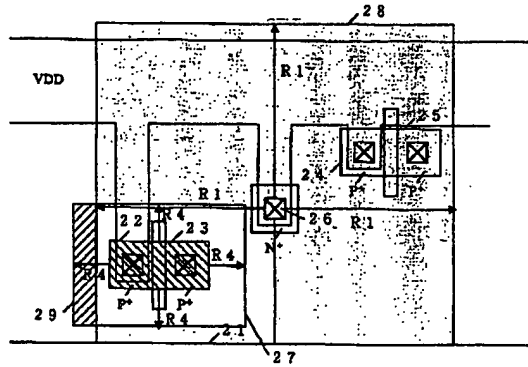
【図6】



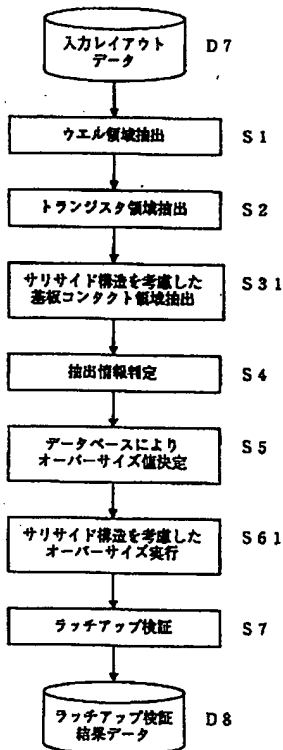
【図8】



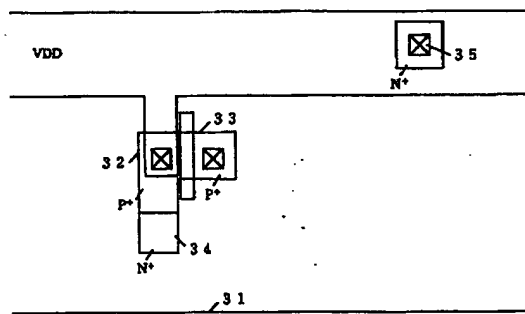
【図9】



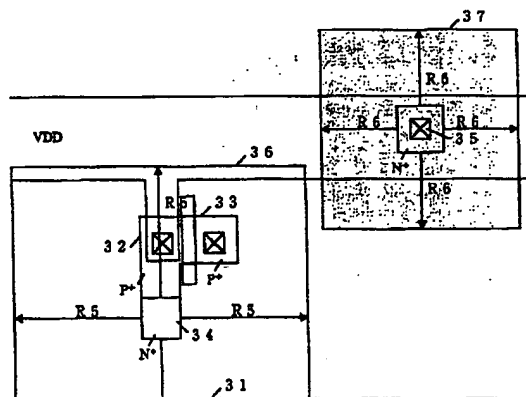
【図10】



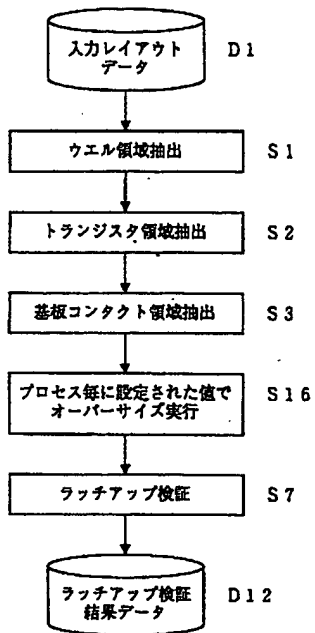
【図11】



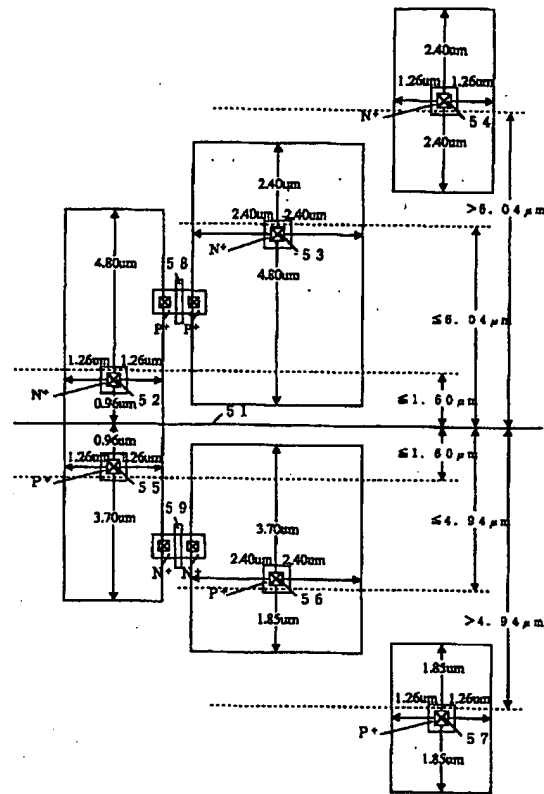
【図12】



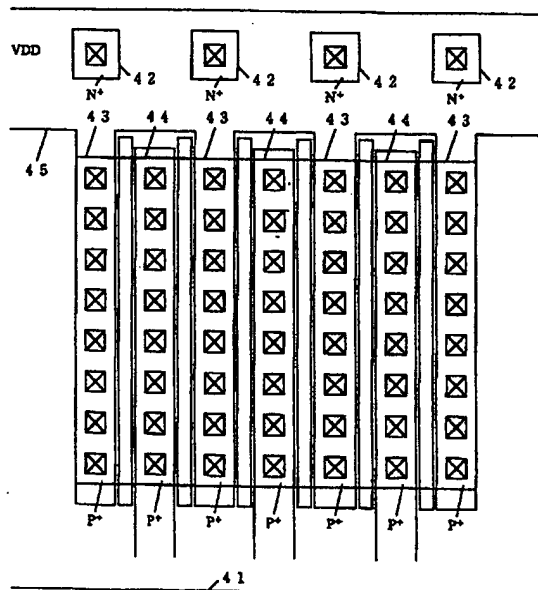
【図13】



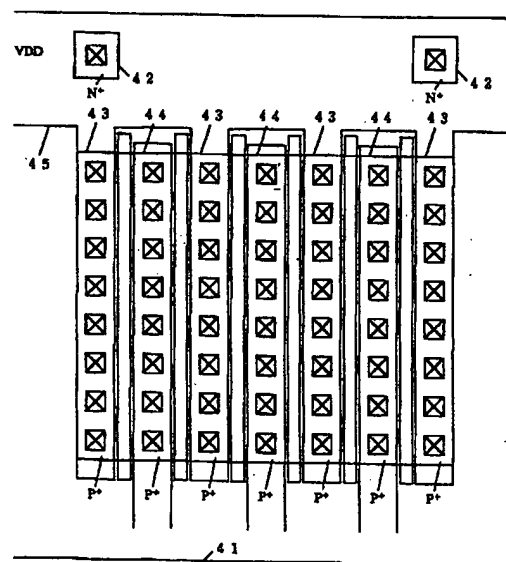
【図14】



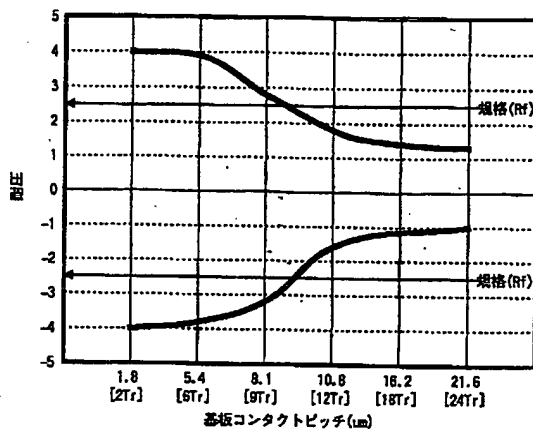
【図15】



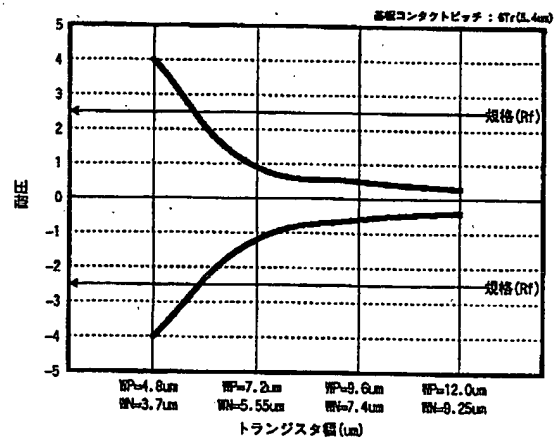
【図16】



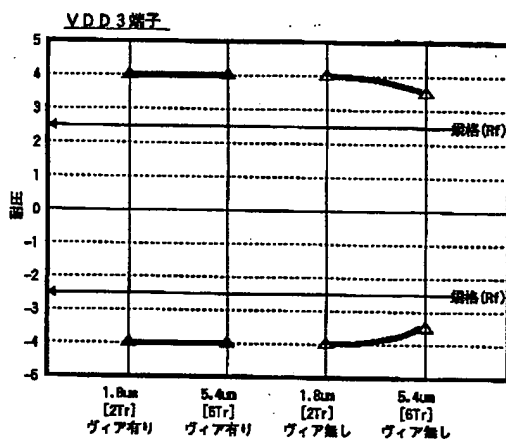
【図 17】



【図 18】



【図 19】



【図 20】

